

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願



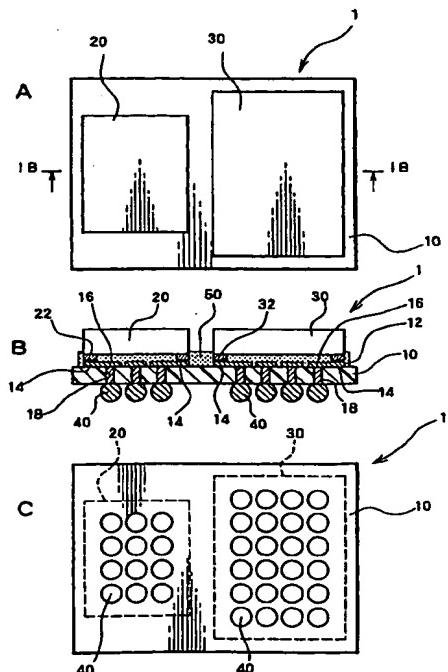
(51) 国際特許分類6 H01L 25/065, 23/32	A1	(11) 国際公開番号 WO00/14802
		(43) 国際公開日 2000年3月16日(16.03.00)
(21) 国際出願番号 PCT/JP99/04785		
(22) 国際出願日 1999年9月3日(03.09.99)		
(30) 優先権データ 特願平10/272613 1998年9月9日(09.09.98) JP		(81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)		
(72) 発明者; および / (75) 発明者/出願人 (米国についてのみ) 橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		
(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器

(57) Abstract

A semiconductor device comprises a plurality of semiconductor elements (20, 30) having electrodes (22, 32) and arranged in the same plane; a substrate (10) having wiring patterns (12) including bonding parts (14) connected with the electrodes (22, 32) of the semiconductor elements (20, 30) and lands (16) connected with the bonding parts (14); and external electrodes (40) provided on the land and connected with the electrodes (22, 32) through the wiring patterns (12).



(57)要約

半導体装置は、電極（22、32）を有して平面方向に並べられる複数の半導体素子（20、30）と、半導体素子（20、30）の電極（22、32）が接合されるボンディング部（14）と、ボンディング部（14）に接続されるランダム部（16）と、を有する配線パターン（12）が形成された基板（10）と、ランダム部（16）に設けられ、配線パターン（12）を介して電極（22、32）に接続される外部電極（40）と、を含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SDE スーダン
AM アルメニア	ES スペイン	LK リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	SL スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LV ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルガニア・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドavia	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダッド・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	UZ 米国
CM カメルーン	IN インド	MX メキシコ	VN ヴィエトナム
CN 中国	IS アイスランド	NE ニジエール	YU ユーゴースラビア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノールウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュージーランド	
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明細書

半導体装置及びその製造方法、回路基板並びに電子機器

[技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

近年の電子機器の小型化に伴い、複数の半導体チップを高密度に組み込んだマルチチップモジュールの開発が進められている。また、マルチチップモジュールによれば、既存の複数の半導体チップを使用することができるので、新規の集積回路を設計するよりもコストの引き下げが可能になる。

しかしながら、これまでのマルチチップモジュールでは、ワイヤボンディングによって、基板の配線パターンと、半導体チップの電極とが接続されていた。したがって、配線パターンに、ワイヤとのボンディングパッドが必要となるため、基板の面積が大きくなつて、パッケージの小型化の要求に十分に応えることができていなかつた。

本発明は、この問題点を解決するものであり、その目的は、複数の半導体素子が高密度に組み込まれた小型の半導体装置及びその製造製造、回路基板並びに電子機器を提供することにある。

[発明の開示]

(1) 本発明に係る半導体装置は、電極を有して平面方向に並べられてフェースダウンボンディングされる複数の半導体素子と、

前記半導体素子の前記電極が接続されるボンディング部と、前記ボンディング部に電気的に接続しているランド部と、を有する配線パターンが形成された基板と、

前記ランド部に設けられる外部電極と、

を含む。

本発明によれば、複数の半導体素子が平面方向に並べられて基板に搭載され、各半導体素子はフェースダウンボンディングされる。したがって、半導体素子の領域内でボンディングが行われるので、基板の面積を必要最低限に小さくすることができます。その結果、半導体装置の小型化が可能になる。

(2) この半導体装置において、

それぞれの前記外部電極は、前記半導体素子の搭載領域内に設けられてもよい。

これによれば、それぞれの半導体素子の電極に対応して、それぞれの半導体素子に対応する領域内に外部電極が設けられる。

(3) この半導体装置において、

全ての前記外部電極は、全ての前記半導体素子に対応する領域の外側に設けられてもよい。

こうすることで、基板の外周端部に外部電極を配列することができる。

(4) この半導体装置において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、外周端部に平坦保持部材が設けられてもよい。

こうすることで、フレキシブル基板を使用しても、平坦保持部材によって、外部電極の高さの平坦性（コプラナリティ）を確保することができる。

(5) この半導体装置において、

全ての前記外部電極は、いずれか 1 つの前記半導体素子のみに対応する領域内に設けられてもよい。

これによれば、いずれか 1 つの半導体素子に対応する領域内に全ての外部電極が設けられ、それ以外の半導体素子に対応する領域内には外部電極が設けられない。

(6) この半導体装置において、

前記基板は、フレキシブル基板であって一部が曲げられて、

前記外部電極が設けられる領域に対応する前記 1 つの半導体素子における前記電極が形成された面とは反対側の面に、残りの半導体素子のうちの少なくとも 1

つにおける前記電極が形成された面とは反対側の面が接着されてもよい。

これによれば、半導体素子の上に他の半導体素子が接着されるので、半導体装置の平面方向のサイズを小さくすることができる。

(7) この半導体装置において、

前記基板は、曲げられる領域に沿って少なくとも1つの穴が形成されてもよい。

このように、基板に穴を形成しておくことで、基板の弾力を小さくして曲げられた状態を維持しやすくなる。

(8) この半導体装置において、

前記穴は、曲げ線に沿って延びる長穴であり、

前記配線パターンは、前記穴上を通って形成され、

前記長穴の、前記曲げ線に沿って延びる辺が、外形端の一部となっていてよい。

これによれば、長穴の辺によって半導体装置の外形端の一部が形成されるので、端部の位置を正確に決めることができる。

(9) この半導体装置において、

複数の前記穴が形成され、

前記配線パターンは、前記複数の穴上を通って形成され、

前記複数の穴は、曲げ線に沿って延びる長穴であって、並列して形成されてよい。

こうすることで、基板を曲げやすくなる。

(10) この半導体装置において、

前記基板は、曲げられる領域に沿ってスリットが形成され、

前記スリットによって、基板が切断されてなり、対向する切断端部間に間隔があけられていてよい。

こうすることで、切断された基板を一体的なものととらえた場合に、この基板を容易に曲げることができる。

(11) この半導体装置において、

前記スリットを掛け渡す接続部材が設けられていてよい。

これによれば、接続部材によって、基板の曲げられた部分が補強される。

(12) この半導体装置において、

前記穴を介して、前記配線パターン上に柔軟性を有する樹脂が設けられ、
前記樹脂が前記基板とともに曲げられていてもよい。

これによれば、樹脂によって、基板の曲げられた部分が補強される。

(13) この半導体装置において、

導電性又は熱伝導性の接着剤を介して、前記半導体素子が接着されてもよい。

導電性の接着剤を使用すれば、接着される半導体素子の表面の電位を同じにす
ることができる、熱伝導性の接着剤を使用すれば、発熱量の大きい半導体素子の熱
を発熱量の小さい半導体素子に伝えることで冷却が可能になる。

(14) この半導体装置において、

前記半導体素子のうちの一つは、残りの半導体素子よりも平面積が大きく形成
され、

前記外部電極は、前記平面積の大きい半導体素子に対応した領域にのみ設けら
れてもよい。

こうすることで、半導体素子の平面積の超えない範囲で外部電極を設ける領域
を最も広く確保することができる。

(15) この半導体装置において、

前記半導体素子の電極は、接着剤に導電粒子が分散されてなる異方性導電材料
を介して前記ボンディング部に接続されてもよい。

これによれば、異方性導電材料によってボンディング部と電極とを電気的に導
通させてるので、信頼性及び生産性に優れた方法で半導体装置を製造することができ
る。

(16) 本発明に係る半導体装置の製造方法は、複数のボンディング部と、前記
ボンディング部に電気的に接続される複数のランド部と、を有する配線パターン
が形成された基板と、電極を有する複数の半導体素子と、を用意する工程と、

少なくとも前記ボンディング部上に、接着剤に導電粒子が分散されてなる異方
性導電材料を設ける工程と、

前記異方性導電材料における前記ボンディング部上に前記電極を位置合わせして、前記半導体素子を前記基板の上に載せる工程と、

前記半導体素子と前記基板との少なくともいずれか一方を押圧して、前記導電粒子を介して、前記ボンディング部と前記電極とを電気的に接続する工程と、

前記ランド部に外部電極を形成する工程と、
を含む。

本発明によれば、複数の半導体素子を基板に搭載して、各半導体素子の電極とボンディング部とをフェースダウンボンディングする。したがって、半導体素子の領域内でボンディングを行うので、基板の面積を必要最低限に小さくすることができます。その結果、半導体装置の小型化が可能になる。

また、異方性導電材料によってボンディング部と電極とを電気的に導通させるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。

(17) この方法において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、

前記基板の外周端部に平坦保持部材を設ける工程を含んでもよい。

こうすることで、フレキシブル基板を使用しても、外部電極の高さの平坦性(コプラナリティ)を確保することができる。全ての外部電極を、全ての半導体素子に対応する領域の外側に設ける場合には、平坦保持部材の貼り付けられた領域に外部電極を設けることができる。

(18) この方法において、

前記半導体素子を前記基板の上に載せる工程の後に、前記基板の一部を曲げて、いずれか1つの前記半導体素子における前記電極が形成された面とは反対側の面に、他の1つの前記半導体素子における前記電極が形成された面とは反対側の面を接着する工程を含んでもよい。

これによれば、半導体素子の上に他の半導体素子を接着するので、半導体装置の平面方向のサイズを小さくすることができる。

(19) この製造方法において、

前記基板は、曲げられる領域に沿って少なくとも1つの穴が形成されてもよい。このように、基板に穴を形成しておくことで、基板の弾力を小さくして曲げやすくすることができる。

(20) 本発明に係る回路基板には、上記半導体装置が実装される。

(21) 本発明に係る電子機器は、上記回路基板を有する。

[図面の簡単な説明]

図1A～図1Cは、本発明を適用した第1の実施の形態に係る半導体装置を示す図である。

図2A～図2Cは、本発明を適用した第2の実施の形態に係る半導体装置を示す図である。

図3A～図3Cは、本発明を適用した第3の実施の形態に係る半導体装置を示す図である。

図4は、本発明を適用した第3の実施の形態の変形例を示す図である。

図5は、本発明を適用した第4の実施の形態に係る半導体装置を示す図である。

図6A～図6Cは、本発明を適用した第4の実施の形態に係る半導体装置の展開図である。

図7は、本発明を適用した第5の実施の形態に係る半導体装置の展開図である。

図8は、本発明を適用した第6の実施の形態に係る半導体装置の展開図である。

図9は、本発明を適用した第7の実施の形態に係る半導体装置の展開図である。

図10は、本発明を適用した第8の実施の形態に係る半導体装置を示す図である。

図11は、本発明を適用した第9の実施の形態に係る半導体装置を示す図である。

図12は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

図13は、本実施の形態に係る半導体装置が実装された回路基板を備える電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1A～図1Cは、本発明を適用した第1の実施の形態に係る半導体装置を示す図である。なお、図1Aは半導体装置の平面図であり、図1Bは図1AのIB-IB線断面図であり、図1Cは半導体装置の底面図である。半導体装置1は、基板10と、複数(例えば2つ)の半導体素子(半導体チップ)20、30と、複数の外部電極40と、を含む。

基板10は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された基板10として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられる。また、無機系の材料から形成された基板10として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

基板10には、配線パターン12が形成されている。配線パターン12は、基板10の一方の面に形成される。なお、基板10の一方の面の配線パターン12の他に、他方の面にも配線パターンを形成してもよい。

配線パターン12は、スパッタリング等により基板10に銅などの導電性の膜を被着し、これをエッチングして形成することができる。この場合には、基板10に配線パターン12が直接形成され、接着剤が介在しない2層基板となる。あるいは、基板10と配線パターン12との間に接着剤が介在する3層基板を使用してもよい。あるいは、基板に絶縁樹脂と配線パターンを積層して構成されるビルトアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

配線パターン12は、複数のボンディング部14及び複数のランド部16を含む。いずれか1つのボンディング部14は、少なくともいずれか1つのランド部16に電気的に接続されている。各ボンディング部14及び各ランド部16は、

配線のための部分よりも広い面積で形成されている。なお、ボンディング部14上にパンプを形成してもよい。

ボンディング部14及びランド部16は、基板10における半導体素子20、30のそれぞれの搭載領域内に位置し、その領域の外側には形成されていない。また、半導体素子20、30のそれぞれの搭載領域内に位置するボンディング部14は、その搭載領域内に位置するランド部16と接続されている。あるいは、半導体素子20、30のうちいずれか1つの搭載領域内に位置するボンディング部14と、半導体素子20、30のうち残りの1つの搭載領域内に位置するランド部16とを接続してもよい。基板10は、抜き型を簡略化するため、図のように方形でも良いし、さらに究極の小型化が望まれる場合は、半導体素子外形に沿った形としても良い。

基板10には、スルーホール18が形成されている。そして、スルーホール18上に、ランド部16が位置する。すなわち、ランド部16は、スルーホール18を介して、配線パターン12の形成された面とは反対側の面に接続できるようになっている。こうして、基板10における配線パターン12の形成された面とは反対側の面に、配線パターン12に電気的に接続された複数の外部電極40(図1C参照)を形成することができる。

複数の半導体素子20、30は、例えば、フラッシュメモリとSRAM、SRAM同士、DRAM同士、メモリとASIC、あるいはMPUとメモリなどであり、それぞれ複数の電極22、32を有する。電極22、32は、いずれかのボンディング部14の上方に位置し、異方性導電材料50を介して電気的に接続されている。すなわち、半導体素子20、30は、電極22、32が形成された面を下にして、基板10の配線パターン12に対して、フェースダウンボンディングされる。なお、図に示される半導体素子20、30は、大きさ及び形状が異なるが、同じ大きさ及び形状のものであってもよい。電極22、32は、メッキや、ワイヤーで形成された金であることが多いが、ニッケル、ハンダなどを材料としてもよい。

異方性導電材料50は、接着剤(バインダ)に導電粒子(導電フィラー)が分

散されたもので、分散剤が添加される場合もある。異方性導電材料 50 は、予めシート状に形成されてから基板 10 に貼り付けてもよく、あるいは液状のまま基板 10 に設けてもよい。なお、異方性導電材料 50 の接着剤として、熱硬化性接着剤が使用されることが多い。異方性導電材料 50 は、少なくとも各ボンディング部 14 上に設けられる。あるいは、基板 10 の全体を覆うように異方性導電材料 50 を設ければ、簡単にその工程を行うことができる。なお、基板 10 の外周端部を除いて異方性導電材料 50 を設ければ、基板 10 の外周端面に異方性導電材料 50 が付着しないようになり、その後の基板 10 の取り扱い上都合がよい。

異方性導電材料 50 は、電極 22、32 とボンディング部 14 との間で押しつぶされて、導電粒子によって両者間での電気的導通を図るようになっている。本実施の形態では、半導体素子 20、30 がフェースダウンボンディングされることが特徴となっている。フェースダウンボンディングされるのであれば、異方性導電材料 50 を使用する代わりに、光、熱、圧力及び振動のうちの少なくとも 1 つによって、電極 22、32 とボンディング部 14 とを接合してもよい。この場合、金属同士で接合される方が信頼性が高い。その場合は、半導体素子 20、30 と基板 10 との間に、アンダーフィル樹脂が充填されることが多い。

外部電極 40 は、配線パターン 12 のランド部 16 に設けられている。詳しくは、外部電極 40 は、基板 10 における配線パターン 12 の形成された面とは反対側の面に設けられ、スルーホール 18 を介して、ランド部 16 に電気的に接続されている。外部電極 40 とランド部 16 との電気的な接続は、半導体素子実装面とは反対側の基板のスルーホール上に、フラックスと共にハンダボールを搭載して、リフローを通して形成することが多いが、スルーホール 18 の内面にメッキされた金や銅などの導電部材によって図ってもよい。あるいは、ハンダボールを外部電極 40 とする場合には、ハンダボールの材料となるハンダをスルーホール 18 に充填して、ハンダボールと一体化した導電部材をスルーホール 18 内に形成してもよい。

さらに、半導体素子実装面とは反対側に、配線パターン 12 と、ピアホールやスルーホールで接続された外部電極用のランドを形成し、その上に外部電極を形

成してもよい。また、外部電極は、上述のハンダ以外の金属や導電性樹脂などから形成してもよい。

上述したように、全てのランド部 16 が半導体素子 20、30 の搭載領域内に位置している場合には、外部電極 40 も、半導体素子 20、30 の搭載領域内に位置する (FAN-IN構造)。また、いずれかの半導体素子 20、30 の搭載領域内に設けられたボンディング部 14 が、その搭載領域内に設けられたランド部 16 に接続されている場合には、外部電極 40 も、この外部電極 40 が設けられた搭載領域に対応する半導体素子 20、30 の電極 22、32 に電気的に接続される。

本実施の形態によれば、複数の半導体素子 20、30 が平面方向に並べられて基板 10 に搭載され、各半導体素子 20、30 の電極 22、32 とボンディング部 14 とはフェースダウンボンディングされる。したがって、半導体素子 20、30 の領域内でボンディングが行われるので、基板 10 の面積を必要最低限に小さくすることができる。その結果、半導体装置 1 の小型化が可能になる。

本実施の形態は、上記のように構成されており、以下その製造方法の 1 例を説明する。まず、複数のボンディング部 14 と、ボンディング部 14 に接続される複数のランド部 16 と、を有する配線パターン 12 が形成された基板 10 を用意する。そして、基板 10 における配線パターン 12 が形成された面に、異方性導電材料 50 を設ける。詳しくは、少なくともボンディング部 14 上に、異方性導電材料 50 を設ける。

そして、複数の電極 22、32 を有する複数の半導体素子 20、30 を用意する。異方性導電材料 50 におけるボンディング部 14 上に電極 22、32 を位置合わせして、半導体素子 20、30 を基板 10 の上に載せる。

続いて、半導体素子 20、30 と基板 10 との少なくともいずれか一方を押圧して、異方性導電材料 50 の導電粒子を介して、ボンディング部 14 と電極 22、32 を電気的に接続する。

そして、基板 10 における配線パターン 12 の形成された面とは反対側から、スルーホール 18 を介して、ランド部 16 に外部電極 40 を形成する。

以上の工程により、半導体装置 1 が得られる。本実施の形態によれば、異方性

導電材料 50 によってボンディング部 14 と電極 22、32 とを電気的に導通させるので、信頼性及び生産性に優れた方法で半導体装置 1 を製造することができる。

(第 2 の実施の形態)

図 2A～図 2C は、本発明を適用した第 2 の実施の形態に係る半導体装置を示す図である。なお、図 2A は半導体装置の平面図であり、図 2B は図 2A の IIB-IIB 線断面図であり、図 2C は半導体装置の底面図である。半導体装置 2 は、基板 110 と、外部電極 140 と、第 1 の実施の形態で用いられた複数（例えば 2 つ）の半導体素子（半導体チップ）20、30 と、を含む。

基板 110 には、配線パターン 112 が形成されている。配線パターン 112 は、ボンディング部 114 及びランド部 116 を含む。ボンディング部 114 は、半導体素子 20、30 の電極 22、32 に対応する位置に設けられている。一方、ランド部 116 は、半導体素子 20、30 のうちの一方の搭載領域内にのみ形成されている。そのため、この一方の搭載領域内のランド部 116 と、他方の搭載領域内に位置するボンディング部 114 とが、配線部 115 を介して電気的に接続されている。

ランド部 116 がこのように形成されているので、外部電極 140 も、半導体素子 20、30 のうちの一方の搭載領域内にのみ形成されている。なお、図 2C には、簡略化するために外部電極 140 の数を少なく図示してあり、実際にはこれ以上の数の外部電極 140 を設けることができる。

これら以外の構成及び製造方法は、上記第 1 の実施の形態と同様である。実装基板又はマザーボードの配線パターンによっては、第 2 の実施の形態に係る半導体装置 2 のように、1箇所に全ての外部電極 140 が集中することが有利な場合がある。

マザーボード実装時の重心のアンバランスによる半導体装置の傾きを防止するため、基板 110 における半導体素子 20 側の実装面とは逆の面の上に、外部電極 140 と同じ大きさ、高さ又は形状の突起を形成してもよい。この突起は、樹脂やテープなどで形成してもかまわない。

(第3の実施の形態)

図3A～図3Cは、本発明を適用した第3の実施の形態に係る半導体装置を示す図である。なお、図3Aは半導体装置の平面図であり、図3Bは図3AのIIIB-IIIB線断面図であり、図3Cは半導体装置の底面図である。半導体装置3は、基板210と、外部電極240と、第1の実施の形態で用いられた複数(例えば2つ)の半導体素子(半導体チップ)20、30と、を含む。

基板210には、配線パターン212が形成されている。配線パターン212は、ボンディング部214及びランド部216を含む。ボンディング部214は、半導体素子20、30の電極22、32に対応する位置に設けられている。一方、ランド部216は、半導体素子20、30の搭載領域の外側に形成されている。そのため、半導体素子20、30の搭載領域内のボンディング部214と、この搭載領域の外側に位置するランド部216とが、配線部215を介して電気的に接続されている。また、基板210は、半導体素子20、30の搭載領域よりも大きく形成されている。

ランド部216がこのように形成されているので、外部電極240も、半導体素子20、30の搭載領域の外側に形成されている(FAN-OUT構造)。なお、図3Cには、簡略化するために外部電極240の数を少なく図示してあり、実際にはこれ以上の数の外部電極240を設けることができる。

また、基板210には、金属などの剛性のある平坦保持部材200が設けられている。平坦保持部材200は、基板210を補強して平坦性を確保するためのもので、剛性があれば材料は限定されない。例えば、ステンレス鋼や銅系合金などの金属を使用することが多いが、プラスチックやセラミックスなどの絶縁性を有する材料で形成してもよい。本実施の形態では、配線パターン212上に異方性導電材料50が設けられており、異方性導電材料50の導電粒子による導通がなければ、金属製の平坦保持部材200を使用しても、配線パターン212と平坦保持部材200との電気的な導通を遮断することができる。あるいは、平坦保持部材200を絶縁性を有する材料で形成すれば、異方性導電材料50の導電粒子による電気的な接続があってもよい。また、平坦保持部材200における少な

くとも異方性導電材料 50 との接触面に絶縁層を形成すれば、平坦保持部材 200 が金属製であっても、配線パターン 212 と平坦保持部材 200 との電気的な導通を遮断することができる。また、平坦保持部材 200 は、異方性導電材料以外の一般的な絶縁性接着剤で基板 210 に接着してもよい。

平坦保持部材 200 は、半導体素子 20、30 の搭載領域の外側あるいは基板 210 の外周端部に、異方性導電材料 50 を介して貼り付けられている。したがって、基板 210 がフレキシブル基板である場合でも、半導体素子 20、30 の外側の部分あるいは基板 210 の外周端部の平坦性を確保することができる。本実施の形態では、基板 210 における外部電極 240 が設けられた領域の平坦性が、平坦保持部材 200 によって確保されるので、外部電極 240 の高さの均一性（コプラナリティ）を確保することができる。これら以外の構成及び製造方法は、上記第 1 の実施の形態と同様であるので説明を省略する。

なお、本実施の形態では、基板 210 における半導体素子 20、30 の搭載領域には外部電極 240 が設けられていないが、この領域にも外部電極を設けててもよい（FAN-IN/OUT構造）。これに加えて、あるいはこれとは別には、半導体素子 20 と半導体素子 30 との間の領域に、外部電極を設けててもよい。図 4 に示す半導体装置 4 は、基板 210 における半導体素子 20、30 の搭載領域の内側、外側及び半導体素子 20、30 間に外部電極 240 を設けた例である。

なお、第 3 の実施の形態において、基板 210 自体に平坦保持性があれば（例えば基板 210 がセラミクス、ガラスエポキシからなる場合）、平坦保持部材 200 は必ずしも必要ではない。

（第 4 の実施の形態）

図 5 は、本発明を適用した第 4 の実施の形態に係る半導体装置を示す図であり、図 6 A～図 6 C は、図 5 に示す半導体装置の基板を展開した図である。なお、図 6 A は平面図であり、図 6 B は図 6 A の VB-VB 線断面図であり、図 6 C は底面図である。半導体装置 5 は、基板 310 と、半導体素子 320、330 と、外部電極 340 と、を含む。

基板 310 は、図 5 に示すように曲げることができる材質から形成されており、

特に2層のフレキシブル基板、あるいは配線密度を一層高めることが必要な場合にはビルドアップ形のフレキシブル基板が好ましい。また、基板310は、一方に向に長い長方形をなしている。この基板310の長手方向の両端部に、半導体素子320、330が搭載されている。なお、半導体素子320、330は、本実施の形態では、同じ大きさで同じ形状であるが、異なる大きさ異なる形状であつてもよい。

基板310には、配線パターン312が形成されている。配線パターン312は、ボンディング部314及びランド部316を含む。ボンディング部314は、半導体素子320、330の電極322、332に対応する位置に設けられており、異方性導電材料350を介して電気的に接続されている。一方、ランド部316は、半導体素子320、330のうちの一方の搭載領域内にのみ形成されている。そのため、この一方の搭載領域内のランド部316と、他方の搭載領域内に位置するボンディング部314とが、配線部315を介して電気的に接続されている。また、配線部315は、半導体素子320、330間に形成されており、これらに覆われていないので、レジストなどの保護膜302によって覆われて保護されている。

ランド部316がこのように形成されているので、外部電極340も、半導体素子320、330のうちの一方の搭載領域内にのみ形成されている。なお、図には、簡略化するために外部電極340の数を少なく図示してあり、実際にはこれ以上の数の外部電極340を設けることができる。外部電極340の配置に関しては、第3の実施の形態で示したように、半導体素子の外側に平坦保持部材を用いて配置してもよい。

本実施の形態では、基板310における半導体素子320、330が搭載された面を谷として、この基板310における半導体素子320、330の間の領域が曲げられている。なお、図には、折り目を付けずに基板310が屈曲した状態が示されているが、基板310は折り曲げてもよい。基板310には、図6A及び図6Cに示すように、屈曲する領域に、少なくとも一つ又は複数の穴300が形成されてもよい。これによって、基板310の弾力が小さくなつて曲げやすくなる。

なるとともに、屈曲した状態を維持しやすくなる。なお、穴300を避けて、配線部315を形成することが好ましいが、穴300上に配線部315を形成してもよい。

基板310が曲げられて、半導体素子320の電極322が形成された面とは反対側の面と、半導体素子330における電極332が形成された面とは反対側の面とが接着剤304を介して接着されている。接着剤304の接着力によって、基板310の曲げられた状態が維持されている。また、半導体素子320、330の面は平坦になっているので、接着がしやすい。接着剤304が、導電性の接着剤であれば、接着される半導体素子320、330の接着面の電位を同じにすることができる。接着剤304が、熱伝導性の接着剤であれば、半導体素子320、330間で熱の伝達が可能になる。例えば、半導体素子320、330のうち一方の発熱量が大きく他方の発熱量が小さい場合には、一方から他方へと熱を伝えることで冷却が可能になる。接着剤304は、粘着剤でもよい。シート状もしくは液状の接着剤304を、図6A～図6Cに示す状態のときに、半導体素子320、330の裏面に貼り付け、その後両方の半導体素子裏面同士を貼り付けてもよい。もしくは、半導体素子裏面同士を位置合わせした状態で液状の接着剤304を充填してもよい。

以上の構成以外の点は、上記第1の実施の形態と同様であるので説明を省略する。なお、違う大きさの半導体素子を用いても良いが、この場合は、大きい方の半導体素子が外部電極340形成側に配置された方が、幾何学的に安定するのでより好ましい。

本実施の形態では、2つの半導体素子320、330が使用されているが、2つを超える複数の半導体素子を使用してもよい。その場合、1つの半導体素子における電極が形成された面とは反対側の面に、残りの複数の半導体素子のうちの1つ又は複数における電極が形成された面とは反対側の面を貼り付けてもよい。このように形成することで、複数特に多数の半導体素子を狭い面積上に積層することができる。

さらに、1つの半導体素子毎に基板を曲げて積層せずに、複数の半導体素子を

一平面上に搭載した後、基板を曲げて積層してもよい。

本実施の形態に係る半導体装置5は、複数の半導体素子320、330が積層されているので、上述した実施の形態よりも一層小型化されている。なお、半導体装置5の製造方法については、基板310を曲げる点を除き、第1の実施の形態で説明した方法が適用される。

(第5の実施の形態)

図7は、本発明を適用した第5の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態に係る半導体装置も、図5に示す半導体装置5と同様に、基板410が曲げられて構成される。また、基板410には、第4の実施の形態と同様に、半導体素子320、330が搭載されている。

図7に示す基板410には、少なくとも1つの穴400が形成されている。穴400は、基板410の曲げ線に沿って延びる長穴である。言い換えると、長穴である穴400に沿って、基板410は曲げられる。図7では、複数の穴400が直列して形成されている。穴400は、基板410の端部よりも内側に形成されているので、基板410の端部が残っている。したがって、基板410は、切断されずにつながった状態となっている。

基板410には、配線パターン412が形成されている。配線パターン412は、穴400上を通って形成されている。穴400が形成されていても、基板410がつながっているので、配線パターン412は切断されにくくなっている。

上述した構成の基板410を、図5に示す基板310のように曲げると、穴400を形成する辺が、半導体装置の外形端の一部となる。したがって、半導体装置の外形がきれいに出るので、位置決めが容易になる。

その他の内容は、第4の実施の形態で説明した内容を適用することができる。

(第6の実施の形態)

図8は、本発明を適用した第6の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態に係る半導体装置も、図5に示す半導体装置5と同様に、基板510が曲げられて構成される。また、基板510には、第4の実施の形態と同様に、半導体素子320、330が搭載されている。

図8に示す基板510は、スリット500が形成されることで切断されている。言い換えると、基板510の切断端部間に間隔があけられてスリット500が形成されている。スリット500は、基板510の曲げ線に沿って延びる。言い換えると、スリット500に沿って、基板510は曲げられる。

基板510には、配線パターン512が形成されている。配線パターン512は、スリット500上を通り形成されている。基板510が切斷されているので、配線パターン512の幅を、図7に示す配線パターン412よりも太くすることが好ましい。

上述した構成の基板510を、図5に示す基板310のように曲げると、スリット500を形成する辺が、半導体装置の外形端の一部となる。したがって、半導体装置の外形がきれいに出るので、位置決めが容易になる。

その他の内容は、第4の実施の形態で説明した内容を適用することができる。
(第7の実施の形態)

図9は、本発明を適用した第6の実施の形態に係る半導体装置の基板を展開した図である。本実施の形態は、図8に示す基板510のスリット500を掛け渡す接続部材620が設けられた点で、第6の実施の形態と異なる。接続部材620を設けることで、切斷されている基板510がつながって補強される。したがって、配線パターン612の幅も、図8に示す配線パターン512の幅よりも細くして良い。接続部材620は、配線パターン612と同一の材料で形成してもよい。配線パターン612を、銅箔などの金属箔をエッチングして形成する場合には、接続部材620も同時に形成することができるので工程を増やさなくて良い。

その他の内容は、第6の実施の形態で説明した内容を適用することができる。また、本実施の形態では、基板510を切斷するスリット500を掛け渡す接続部材610について説明したが、接続部材610は、基板510を切斷しない穴400(図7参照)を掛け渡しても良い。このような穴400をスリットと称しても良い。

(第8の実施の形態)

図10は、本発明を適用した第8の実施の形態に係る半導体装置を示す図である。図10に示す半導体装置は、基板710及び穴700を除き、図5に示す半導体装置5と同じ構成である。

基板710には、曲げられる領域に、複数の穴700が形成されている。複数の穴700は、曲げ線に沿って延びる長穴であって、並列して形成されてなる。あるいは、穴700は、スリットと称してもよく、穴700の代わりに基板710を切断するスリットが形成されていてもよい。このような穴（又はスリット）700を形成することで、基板710を曲げやすくなる。また、配線パターン312は、穴700上を通る。本実施の形態には、図5を参照して説明した内容を適用することができる。

（第9の実施の形態）

図11は、本発明を適用した第9の実施の形態に係る半導体装置を示す図である。図11に示す半導体装置では、基板810に形成された穴800を介して、配線パターン312上に柔軟性を有する樹脂820が設けられている。樹脂820として例えば軟らかいポリイミド樹脂を使用することができる。

穴800は、基板810の曲げられる領域に形成されている。穴800は、スリットと称しても良く、穴800の代わりに基板810を切断するスリットを形成してもよい。

本実施の形態では、基板810の、曲げられる内側に配線パターン312が形成されているので、樹脂820がなければ、穴800を介して配線パターン312が外部に露出する。そこで、樹脂820を穴800内に設けることで配線パターン312を保護することができる。しかも、樹脂820は、柔軟性を有するので、基板810が平面的に展開された状態で樹脂820を設けてから、基板810を曲げることができ、作業性がよい。なお、本実施の形態で説明した内容は、他の実施の形態にも適用することができる。

本発明は、フェースダウン型の半導体装置やそのモジュール構造に適用することができる。フェースダウン型の半導体装置として、例えば、COF（Chip On Flex/Film）構造やCOB（Chip On Board）構造などがある。

本実施の形態では、外部電極を有する半導体装置について述べてきたが、基板の一部を延出し、そこから外部接続を図るようにも良い。基板の一部をコネクタのリードとしたり、コネクタを基板上に実装したり、基板の配線パターンそのものを他の電子機器に接続してもよい。

更に、積極的に外部端子を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

図12には、上述した第1の実施の形態に係る半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエボキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなる配線パターンが所望の回路となるように形成されている。そして、配線パターンと半導体装置1の外部電極40(図1B参照)とを機械的に接続することでそれらの電気的導通が図られる。

なお、半導体装置1は、実装面積をペアチップにて実装する面積にまで小さくすることができるので、この回路基板1000を電子機器に用いれば電子機器自身の小型化が図れる。また、同一面積内においてはより実装スペースを確保することができ、高機能化を図ることも可能である。

そして、この回路基板1000を備える電子機器として、図13には、ノート型パーソナルコンピュータ1100が示されている。

なお、上記実施の形態は、半導体装置に本発明を適用した例であるが、半導体装置と同様に多数の外部電極を必要とする面実装用の電子部品であれば、能動部品か受動部品かを問わず、本発明を応用することができる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスター、バリスタ、ボリューム又はヒューズなどがある。

以上述べてきたすべての実施の形態では、半導体素子の実装方法としてフェースダウンボンディング方式を適用したが、ワイヤーボンディング方式やTAB(Tape Automated Bonding)方式など他の実装方式を採用してもよい。また、上

述した半導体素子と半導体素子以外の電子部品が混載された実装モジュール型の半導体装置を構成してもよい。

請求の範囲

1. 電極を有して平面方向に並べられてフェースダウンボンディングされる複数の半導体素子と、

前記半導体素子の前記電極が接続されるボンディング部と、前記ボンディング部に電気的に接続しているランド部と、を有する配線パターンが形成された基板と、

前記ランド部に設けられる外部電極と、
を含む半導体装置。

2. 請求項1記載の半導体装置において、

それぞれの前記外部電極は、前記半導体素子の搭載領域内に設けられる半導体装置。

3. 請求項1記載の半導体装置において、

全ての前記外部電極は、全ての前記半導体素子に対応する領域の外側に設けられる半導体装置。

4. 請求項3記載の半導体装置において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域よりも大きく形成され、外周端部に平坦保持部材が設けられる半導体装置。

5. 請求項1記載の半導体装置において、

全ての前記外部電極は、いずれか1つの前記半導体素子のみに対応する領域内に設けられる半導体装置。

6. 請求項5記載の半導体装置において、

前記基板は、フレキシブル基板であって一部が曲げられて、
前記外部電極が設けられる領域に対応する前記1つの半導体素子における前記電極が形成された面とは反対側の面に、残りの半導体素子のうちの少なくとも1つにおける前記電極が形成された面とは反対側の面が接着される半導体装置。

7. 請求項6記載の半導体装置において、

前記基板は、曲げられる領域に沿って少なくとも1つの穴が形成される半導体装置。

8. 請求項 7 記載の半導体装置において、

前記穴は、曲げ線に沿って延びる長穴であり、

前記配線パターンは、前記穴上を通って形成され、

前記長穴の、前記曲げ線に沿って延びる辺が、外形端の一部となる半導体装置。

9. 請求項 7 記載の半導体装置において、

複数の前記穴が形成され、

前記配線パターンは、前記複数の穴上を通って形成され、

前記複数の穴は、曲げ線に沿って延びる長穴であって、並列して形成されてなる半導体装置。

10. 請求項 6 記載の半導体装置において、

前記基板は、曲げられる領域に沿ってスリットが形成され、

前記スリットによって、基板が切断されてなり、対向する切断端部間に間隔があけられてなる半導体装置。

11. 請求項 10 記載の半導体装置において、

前記スリットを掛け渡す接続部材が設けられてなる半導体装置。

12. 請求項 8 記載の半導体装置において、

前記穴を介して、前記配線パターン上に柔軟性を有する樹脂が設けられ、

前記樹脂が前記基板とともに曲げられてなる半導体装置。

13. 請求項 6 記載の半導体装置において、

導電性又は熱伝導性の接着剤を介して、前記半導体素子が接着される半導体装置。

14. 請求項 5 記載の半導体装置において、

前記半導体素子のうちの一つは、残りの半導体素子よりも平面積が大きく形成され、

前記外部電極は、前記平面積の大きい半導体素子に対応した領域にのみ設けられる半導体装置。

15. 請求項 1 記載の半導体装置において、

前記半導体素子の電極は、接着剤に導電粒子が分散されてなる異方性導電材料

を介して前記ボンディング部に接続される半導体装置。

16. 複数のボンディング部と、前記ボンディング部に電気的に接続される複数のランド部と、を有する配線パターンが形成された基板と、電極を有する複数の半導体素子と、を用意する工程と、

少なくとも前記ボンディング部上に、接着剤に導電粒子が分散されてなる異方性導電材料を設ける工程と、

前記異方性導電材料における前記ボンディング部上に前記電極を位置合わせし
て、前記半導体素子を前記基板の上に載せる工程と、

前記半導体素子と前記基板との少なくともいずれか一方を押圧して、前記導電
粒子を介して、前記ボンディング部と前記電極とを電気的に接続する工程と、

前記ランド部に外部電極を形成する工程と、

を含む半導体装置の製造方法。

17. 請求項16記載の半導体装置の製造方法において、

前記基板は、フレキシブル基板であって前記複数の半導体素子を搭載する領域
よりも大きく形成され、

前記基板の外周端部に平坦保持部材を設ける工程を含む半導体装置の製造方法。

18. 請求項16記載の半導体装置の製造方法において、

前記半導体素子を前記基板の上に載せる工程の後に、前記基板の一部を曲げて、
いずれか1つの前記半導体素子における前記電極が形成された面とは反対側の面
に、他の1つの前記半導体素子における前記電極が形成された面とは反対側の面
を接着する工程を含む半導体装置の製造方法。

19. 請求項18記載の半導体装置の製造方法において、

前記基板は、曲げられる領域に沿って少なくとも1つの穴が形成される半導体
装置の製造方法。

20. 請求項1から請求項15のいずれかに記載の半導体装置が実装された回路
基板。

21. 請求項20記載の回路基板を有する電子機器。

1 / 10

FIG. 1A

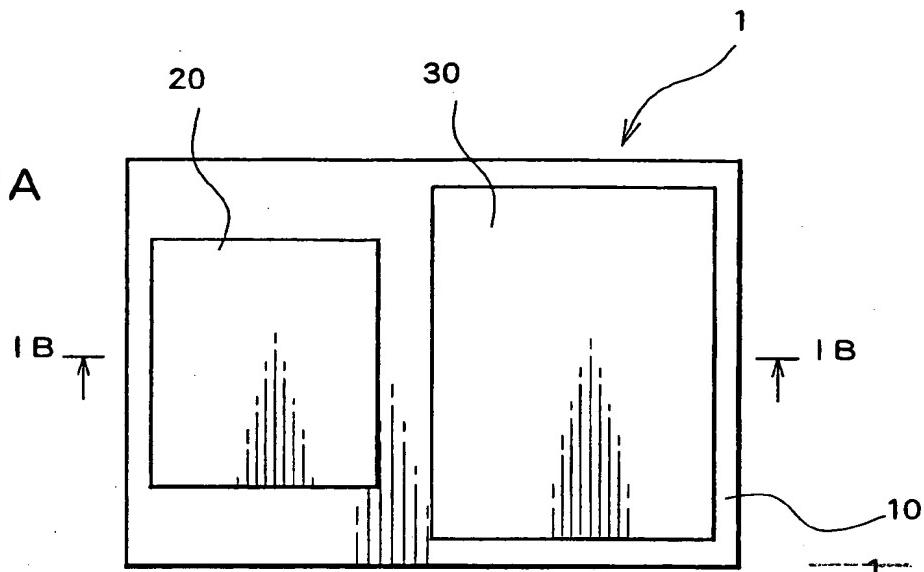


FIG. 1B

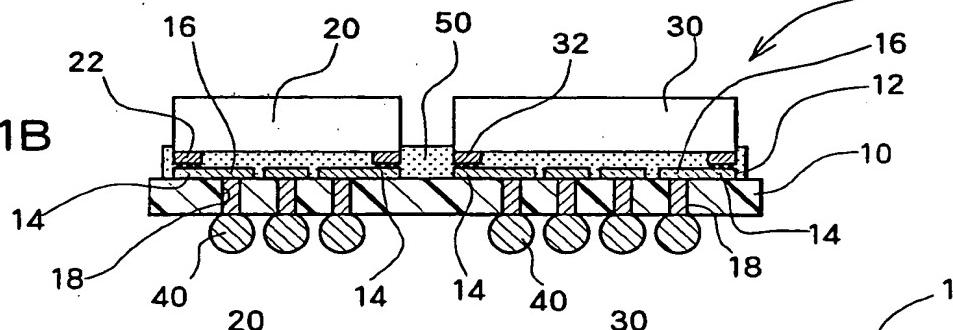
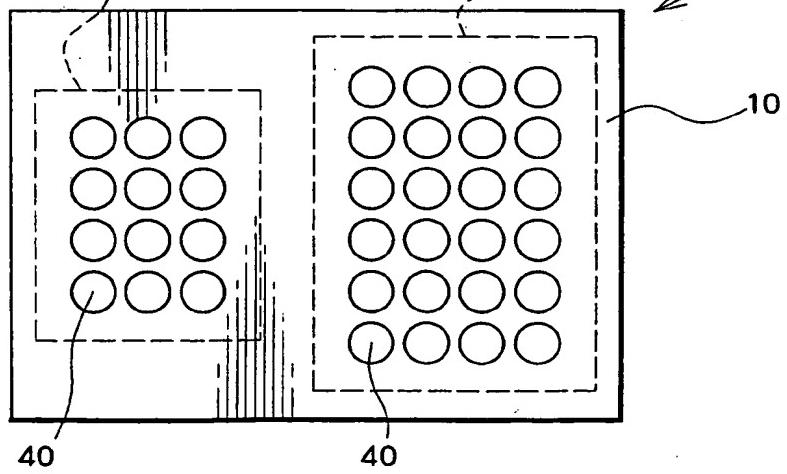


FIG. 1C



2 / 10

FIG. 2A

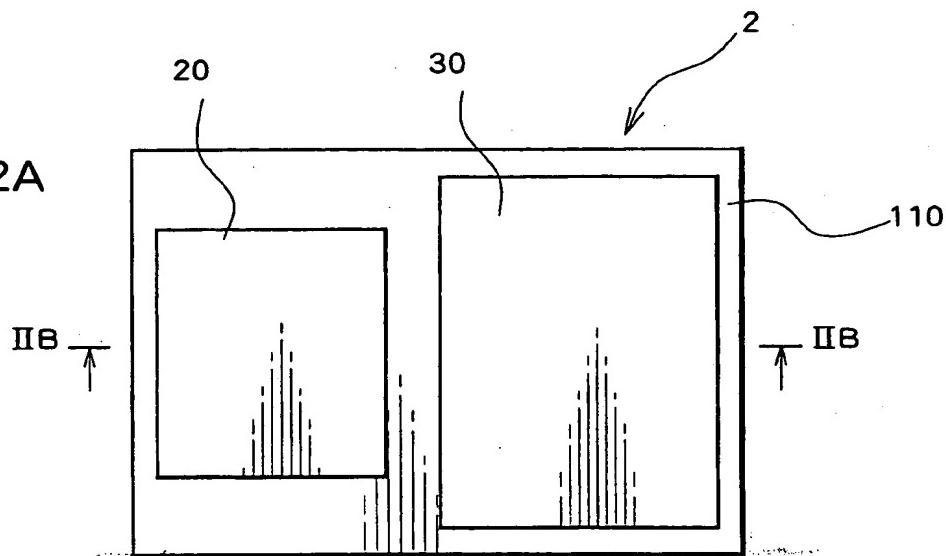


FIG. 2B

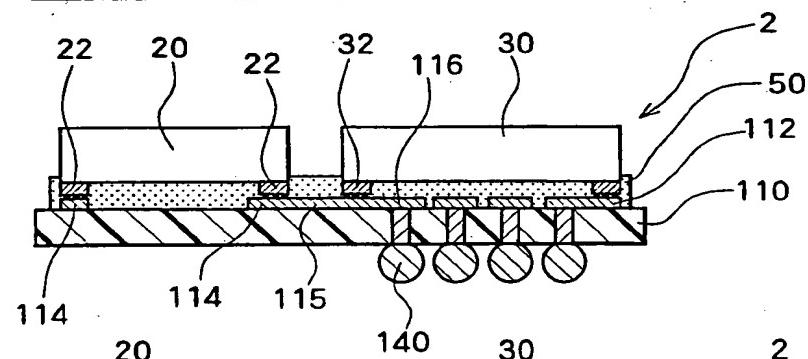
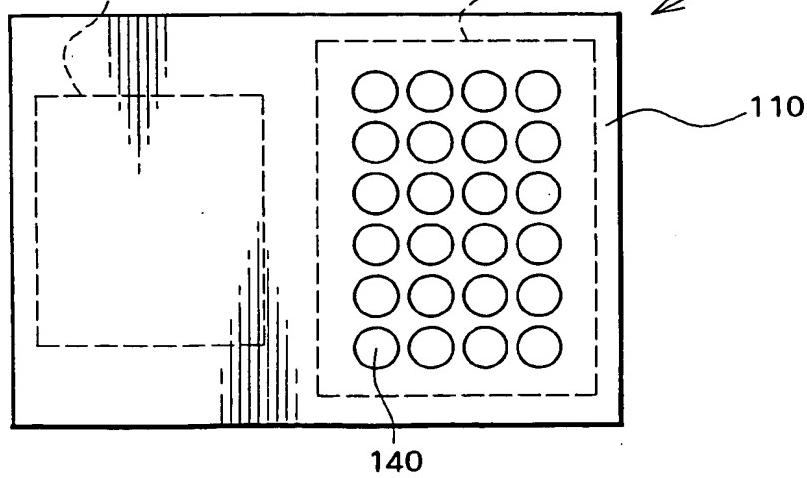


FIG. 2C



3 / 10

FIG. 3A

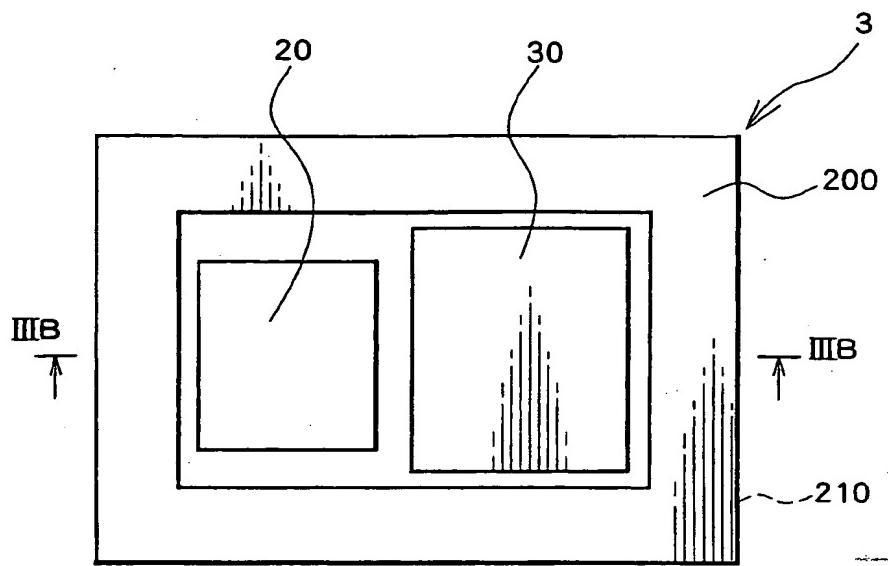


FIG. 3B

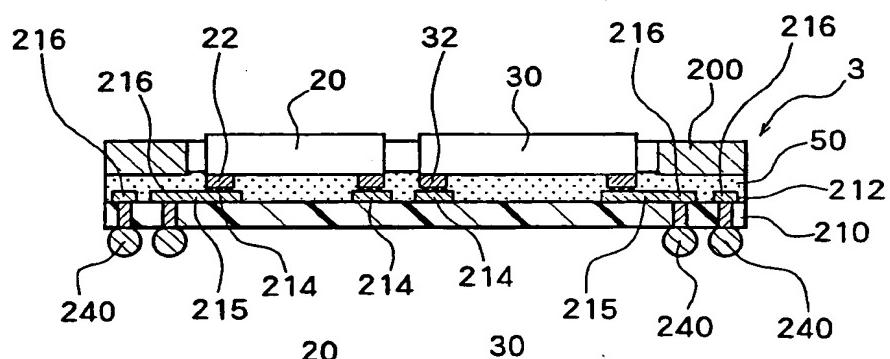
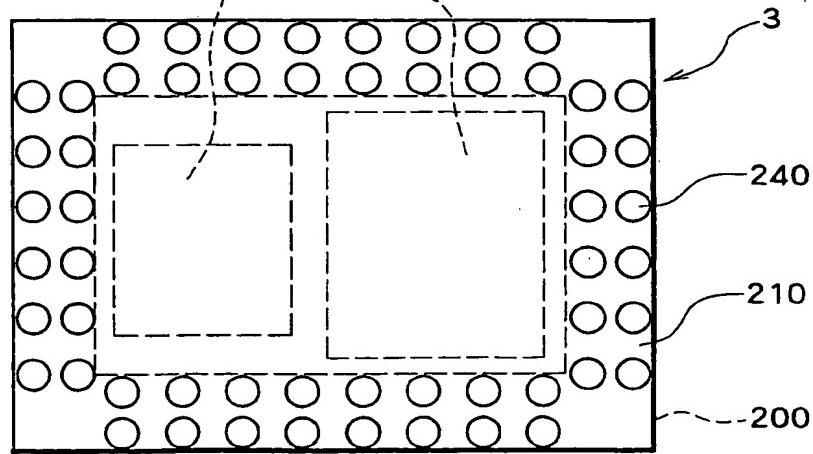
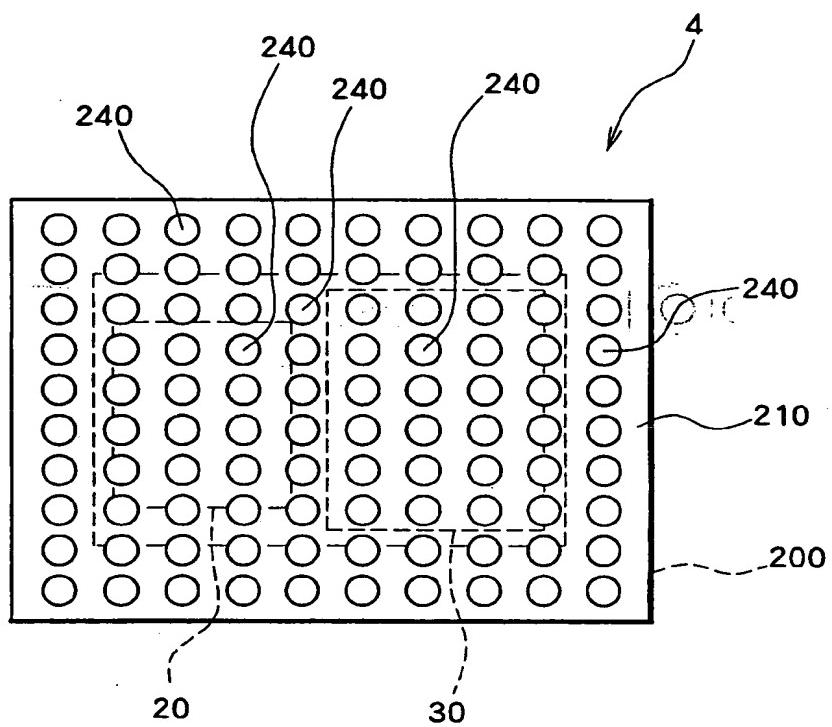


FIG. 3C



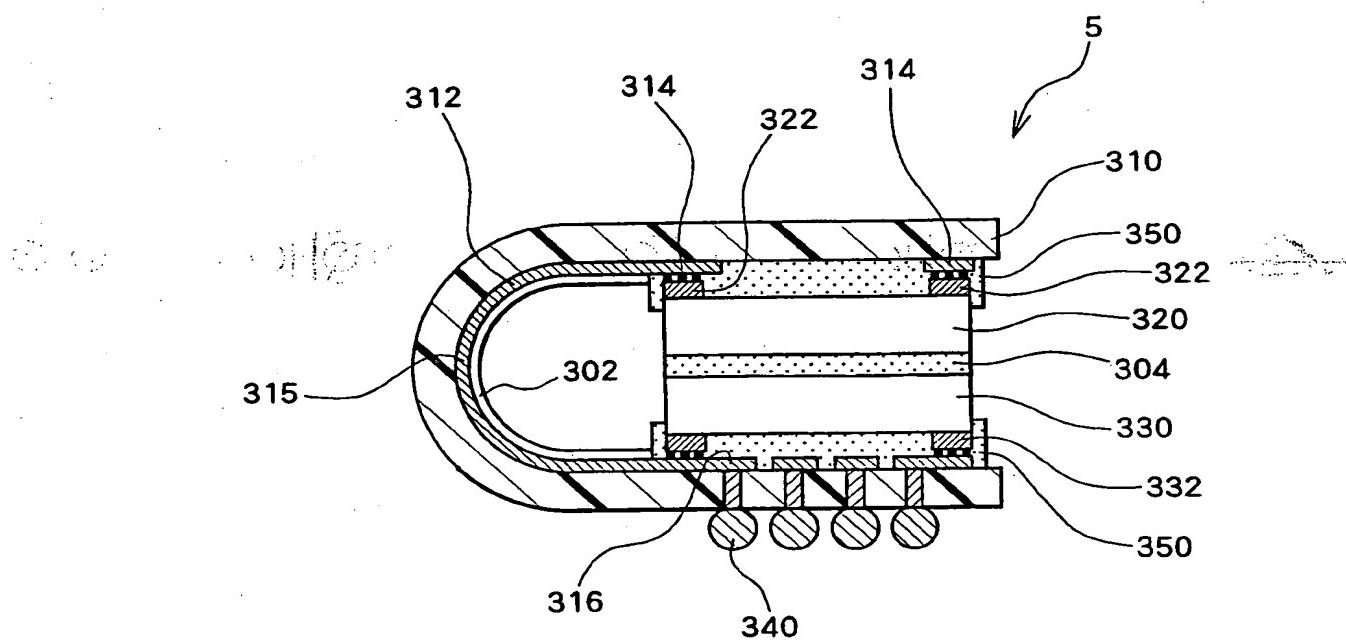
4 / 10

FIG. 4



5 / 10

FIG. 5



6 / 10

FIG. 6A

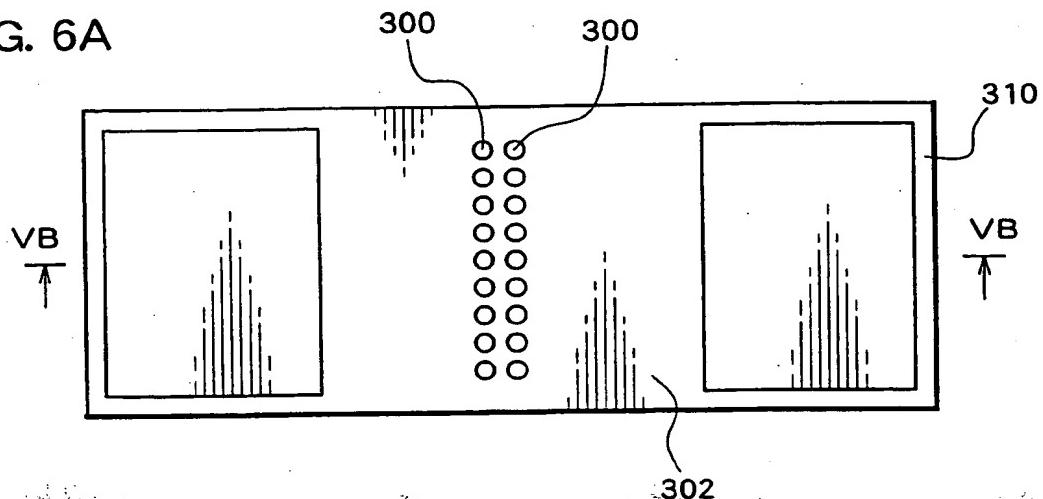


FIG. 6B

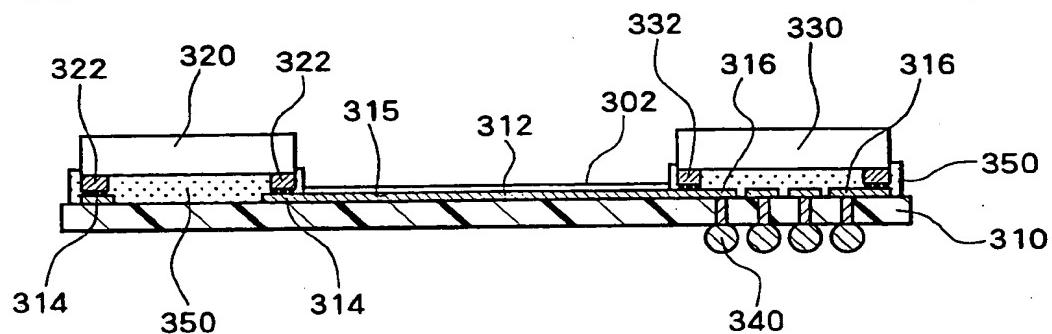
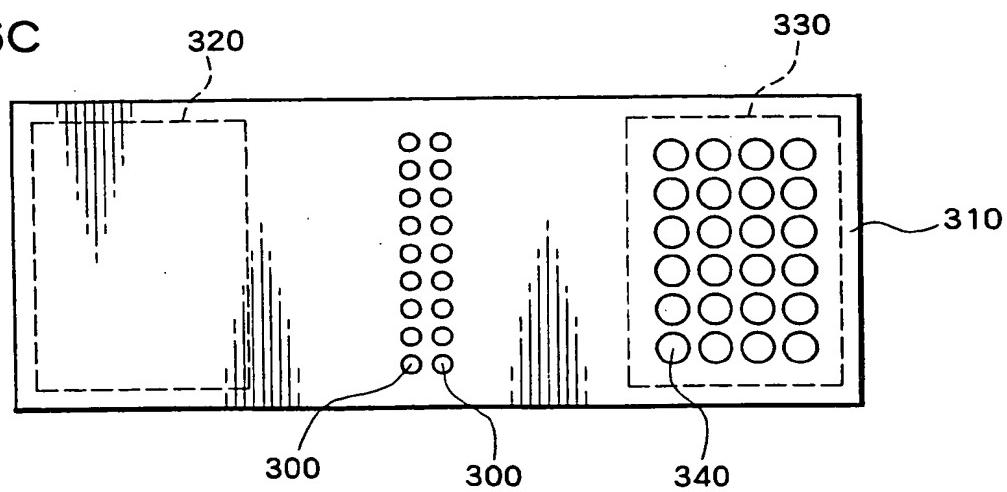


FIG. 6C



7 / 10

FIG. 7

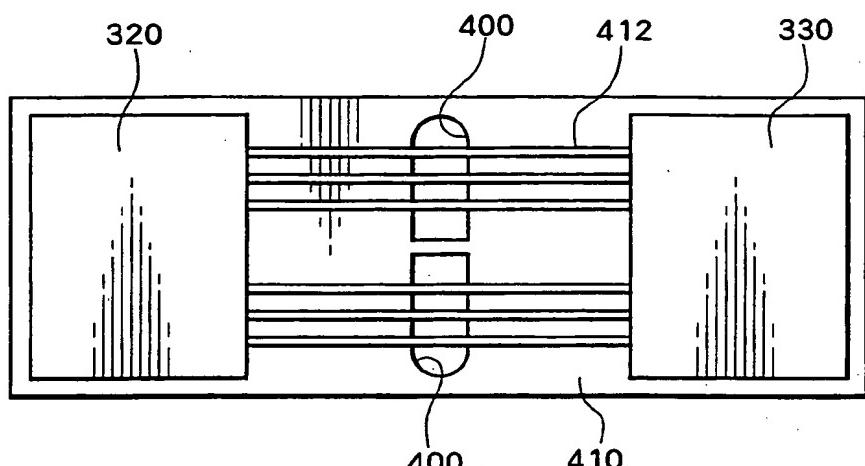


FIG. 8

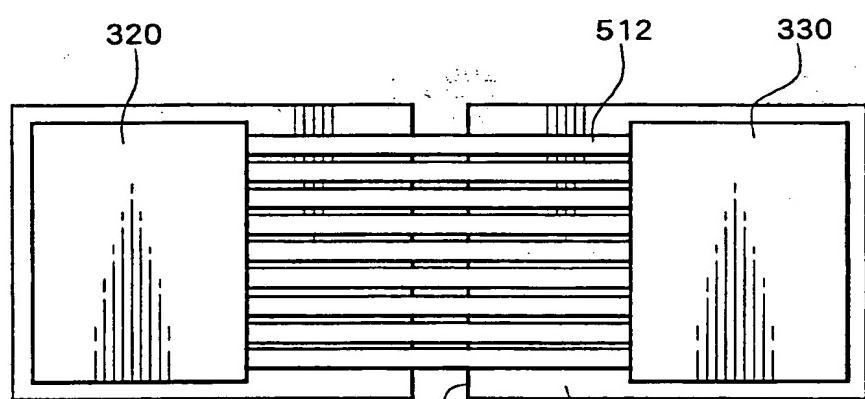
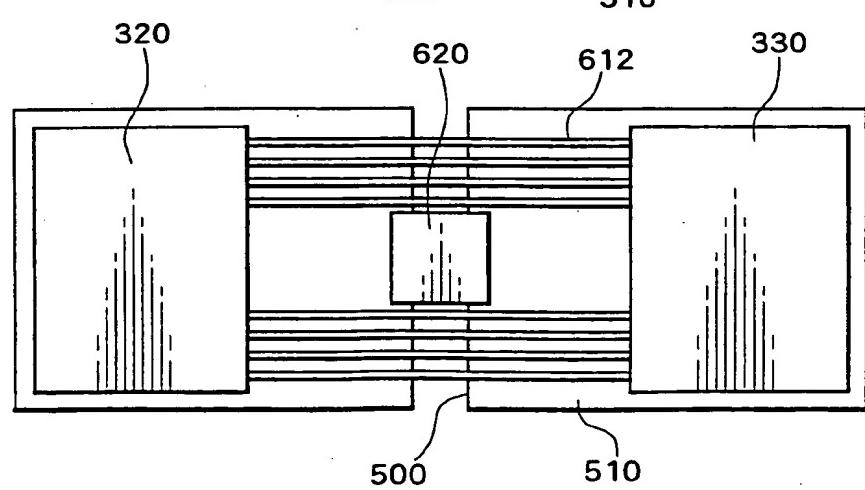


FIG. 9



8 / 10

FIG. 10

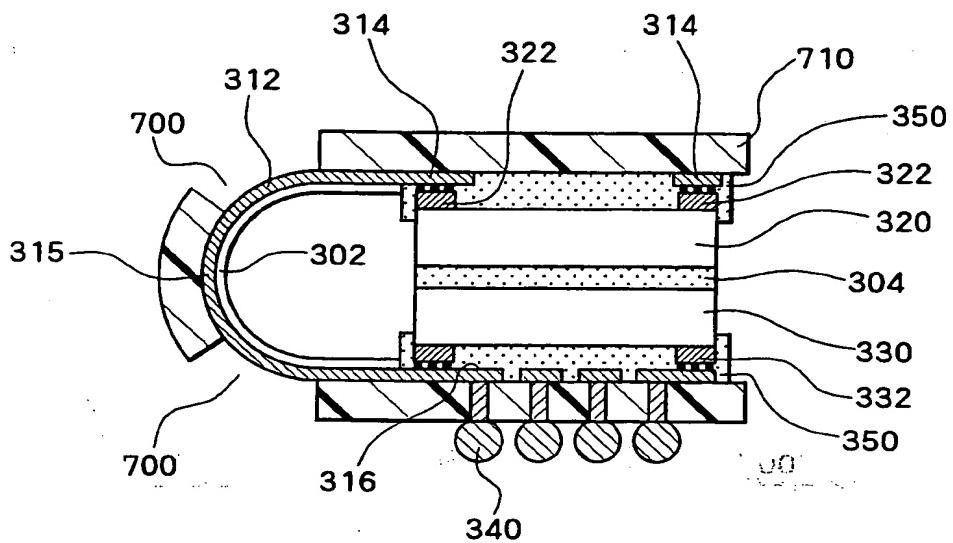
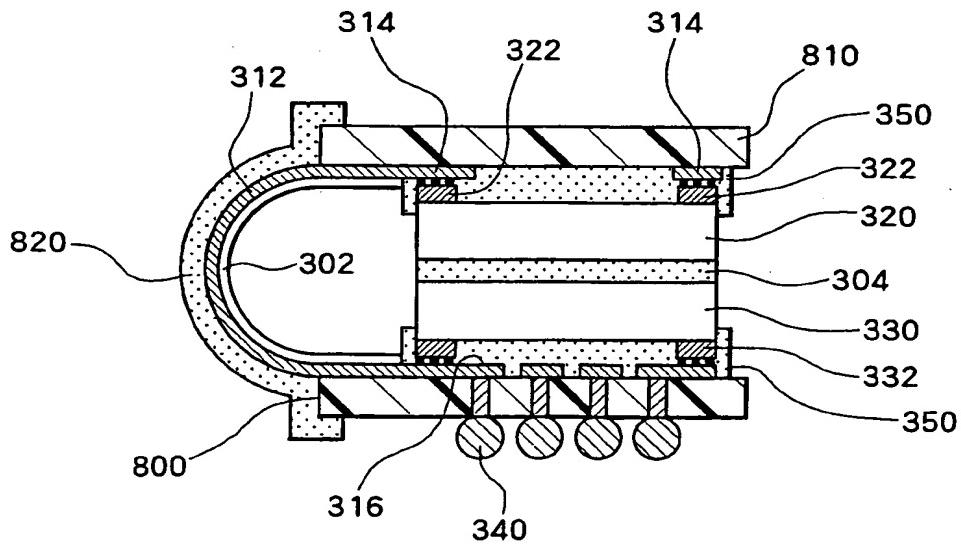
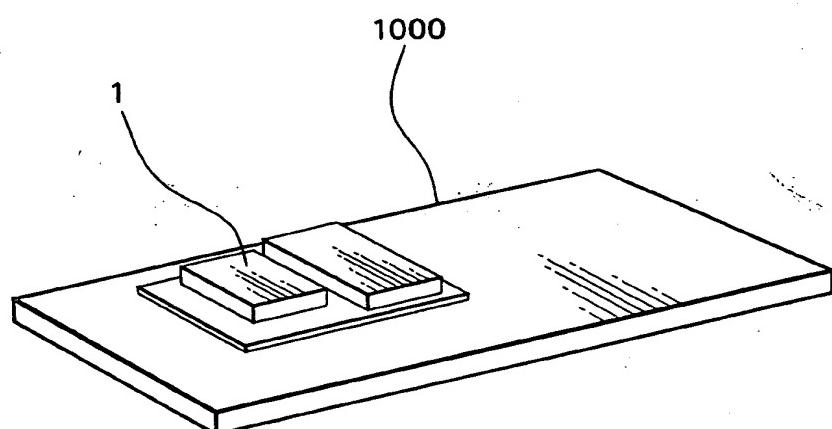


FIG. 11



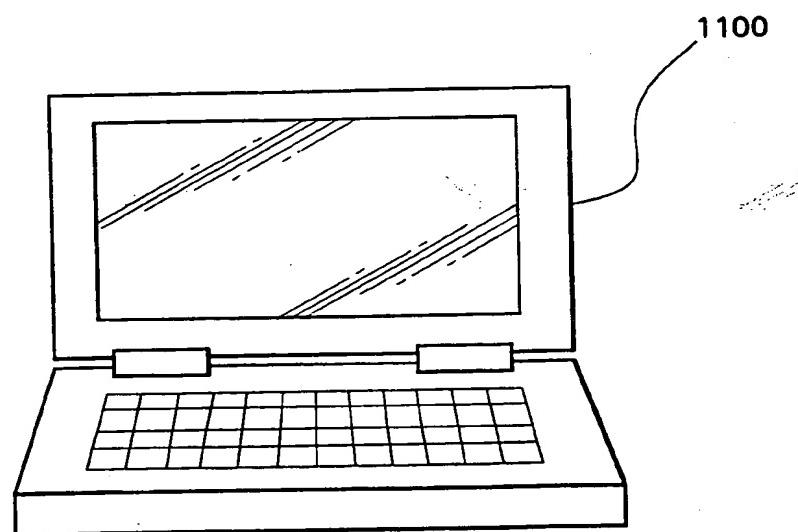
9 / 10

FIG. 12



10 / 10

FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/04785

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L25/065, H01L23/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L25/065, H01L23/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-50931, A (Sony Corporation), 20 February, 1998 (20.02.98), Full text; Figs. 1 to 7	1, 2, 15, 16, 20
Y	Full text; Figs. 1 to 7	21
A	Full text; Figs. 1 to 7 (Family: none)	3-14, 17-19
A	JP, 3-220736, A (NEC Corporation), 27 September, 1991 (27.09.91), Full text; Figs. 1 to 5 (Family: none)	4, 6-13, 17-19
A	JP, 8-321580, A (Rohm Co., Ltd.), 03 December, 1996 (03.12.96), Full text; Figs. 1 to 5	4, 6-13, 17-19

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

document member of the same patent family

Date of the actual completion of the international search
30 November, 1999 (30.11.99)Date of mailing of the international search report
07 December, 1999 (07.12.99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP99/04785

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C16 H01L25/065, H01L23/32

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C16 H01L25/065, H01L23/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 10-50931, A (ソニー株式会社) 20. 2月. 1998 (20. 02. 98) 全文, 第1-7図 全文, 第1-7図 全文, 第1-7図 (ファミリーなし)	1, 2, 15, 16, 20 21 3-14, 17-19
A	JP, 3-220736, A (日本電気株式会社) 27. 9月. 1991 (27. 09. 91) 全文, 第1-5図 (ファミリーなし)	4, 6-13, 17-19

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

30. 11. 99

国際調査報告の発送日

07.12.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

長谷山 健



4R 9171

電話番号 03-3581-1101 内線 3470

国際調査報告

国際出願番号 PCT/JP99/04785

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 8-321580, A (ローム株式会社) 3. 12月. 1996 (03. 12. 96) 全文, 第1-5図	4, 6-13, 17-19